

# METAMOS : Des transistors de plus en plus petits

METAMOS : Des transistors de plus en plus petits

Les performances des transistors MOS sont essentiellement dictées par les dimensions du transistor. Le projet METAMOS, porté entre autres par l'IEMN, a proposé une solution innovante...

Les performances des

**transistors MOS** sont essentiellement dictées par les dimensions du transistor. Plus il possède une longueur de grille courte, plus il est performant. C'est cette stratégie, dite de ?

**scaling?** (mise à l'échelle), ou encore de

**réduction des dimensions** qui s'inscrit dans la fameuse loi de Moore qui prédit cet accroissement de performance et de compacité, c'est-à-dire de densité d'intégration. La mise en production de chaque n<sup>ud</sup> technologique est précisément programmée dans le temps. Il y a trois ans, il s'agissait du n<sup>ud</sup> technologique 65 nanomètres (nm), aujourd'hui, c'est 45nm, dans deux à trois ans ce sera le 32nm. Notez que les dimensions sont réduites d'un facteur racine carrée de 2 entre chaque génération.

Afin de réduire la taille des transistors MOS (Métal-Oxyde-Silicium) sous le cap des 20nm de longueur de grille, une nouvelle architecture doit être envisagée. Il est reconnu que l'un des challenges pour atteindre cet objectif est le module source/drain. La piste suivie au sein du **projet européen METAMOS** (Source and Drain Architecture for Advanced MOS technology) par l'**Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN)** a été d'abandonner les contacts classiques au profit d'un contact Schottky, sur silicium faiblement dopé.

Cette recherche s'est effectuée dans le contexte d'un projet co-financé par la Commission européenne dans le

**6ème Programme Cadre de la Recherche et du Développement Technologique (projet IST-016677)** en partenariat avec trois autres laboratoires académiques : Université de Louvain-la-Neuve (B), Université de Salamanque (E), Institute of Electron Technology Varsovie (PL) et deux groupes de recherche industrielle parmi lesquels on note la présence de deux acteurs majeurs de la microélectronique européenne (ST Microelectronics Crolles, et NXP, ex-Philips Semiconductors, Crolles.

## Le transistor MOS

Un transistor MOS est constitué de trois contacts terminaux. Les deux premiers, la source et le drain, ?posés? sur un substrat de silicium, sont séparés par le troisième, une grille métallique isolée du canal de conduction par un film très mince d'oxyde. La mise sous tension de la grille crée un champ électrique qui permet aux électrons de circuler de la source vers le drain en empruntant le canal.

Les contraintes liées à la fabrication de jonctions courtes et fortement dopées ainsi qu'à l'obtention de jonctions à très faible résistance spécifique de contact ont donc récemment réactivé un regain d'intérêt pour les architectures MOS non-conventionnelles intégrant des jonctions métalliques à très faible hauteur de barrière Schottky. La solution consiste à remplacer les contacts classiques sur le silicium fortement dopé par une jonction métallique, un mélange de métal et de silicium appelé siliciure. Il faut néanmoins que ces nouveaux contacts présentent une barrière d'énergie s'opposant au courant aussi faible que 100meV.

C'est ainsi que le projet METAMOS a proposé une solution innovante afin de préserver la

qualité des contacts. La solution a d'abord été développée et testée en milieu académique dans les salles blanches de l'IEMN. L'IEMN dispose en effet d'une grande flexibilité pour introduire de nouveaux matériaux et tester de procédés de fabrication qui peuvent paraître "exotiques" du point de vu industriel. Le projet a démontré que les siliciures de platine, d'iridium ou de terres rares telles que l'erbium et l'ytterbium permettent d'abaisser cette barrière d'énergie sous 80meV.

La viabilité du concept de source/drain Schottky a donc été démontrée dans un contexte de recherche académique en avance de phase sur la recherche industrielle. Le transfert de cette technologie chez ST Microelectronics a permis de valider ce concept dans un site de fabrication industrielle de puces microélectroniques.

## En savoir plus

>>

[Visitez le site internet](#)

>> contact : [Emmanuel DUBOIS](#)